

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-289108

(43)Date of publication of application : 05.11.1993

(51)Int.Cl.

G02F 1/136
 G02F 1/1343
 H01L 27/12
 H01L 29/784

(21)Application number : 04-095591

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.04.1992

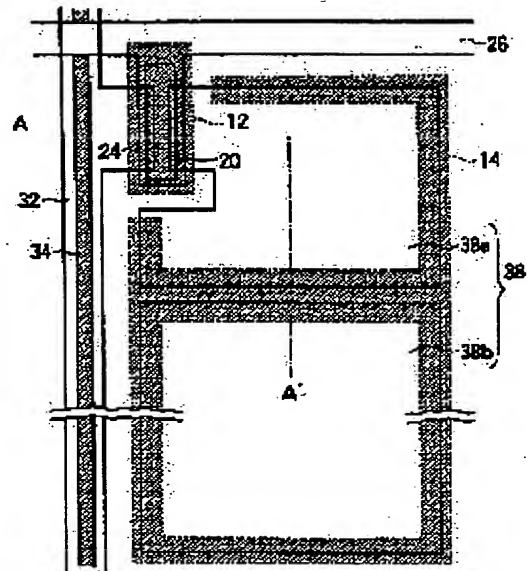
(72)Inventor : TAKEUCHI FUMIYO
 YANAI KENICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To improve the dependency on visual angles in gradation display by adding a control capacity, to prevent the loss of an opening rate by shielding the leak light between respective auxiliary picture element electrodes and to form the control capacity without increasing the number of stages, etc.

CONSTITUTION: A Cr light shielding layer 12 and electrodes 14 for the Cr control capacity are formed on a transparent insulating substrate and a TFT is formed via an SiN insulating film above the Cr light shielding film layer 12. The picture element electrode 38 connecting to the drain of the TFT is formed on the SiN insulating film. This picture element electrode 38 is divided into the ITO auxiliary picture element electrodes 38a, 38b. The electrodes 14 for the Cr control capacity overlap on the peripheral part of the ITO auxiliary picture element electrodes 38a, 38b and the spacing of the ITO auxiliary picture element electrodes 38a, 38b through the SiN insulating film, thereby forming the control capacity.



LEGAL STATUS

[Date of request for examination] 12.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3081357

[Date of registration] 23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

This Page Blank (uspro)

特開平5-289108

(43)公開日 平成5年(1993)11月5日

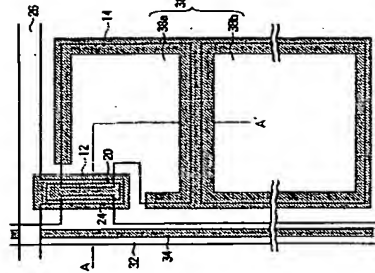
(5) Int.Cl.		F I		技術表示箇所	
G 0 2 F	1/136	行内整理番号			
	1/1343	5 0 0	9018-2K		
H 0 1 L	27/12	A	9018-2K		
	29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 A	審査請求 未請求 請求項の数 5 (全 12 頁)
(21) 出願番号	特願平4-95591	(71) 出願人	000065223		
			富士通株式会社		
(22) 出願日	平成 4 年(1992) 4 月15日	(72) 発明者	竹内 文代		
			神奈川県川崎市中原区上小田中1015番地		
		(72) 発明者	坂井 建一		
			富士通株式会社内		
			神奈川県川崎市中原区上小田中1015番地		
		(74) 代理人	弁理士 北野 好人		

(54)【発明の名称】
液晶表示装置及びその製造方法

(57) 【聖約】

【目的】本発明は、制御容量を付加して階層表示における視角依存性を改善すると共に、各画面電圧幅間の漏れ光を遮光して開口部の損失を防ぎ、工程数を増加させることなく制御容量を形成することができる液晶表示装置及びその製造方法を提供することを目的とする。

【構成】透明絶縁性基板上にCrノ透光膜層12及びCrノ制御容量用電極層14が形成され、Crノ透光膜層12上方にはSiN絶縁層8を介してTFT28が形成される。SiN絶縁層8には、TFT28のドレインに接続する画素電極層3が形成され、この画素電極層3はITO側面電極層38a、38bに分割されている。Cノ制御容量用電極層38a、38bの周辺部及びITO側面電極層38a、38bの端部と重なり、SiN絶縁層を介してITO側面電極層38a、38bの端部と重なり、制御容量を形成している。



12-〇 本社直営
14-〇 制御装置用電機
18-〇 一般電機
24-〇 〇/A ゲート電機
32-〇 〇/A ソース放電管
34-〇 〇/A ソースバスライン
36-〇 〇/A 第1 制御電機
38-〇 〇/A 第2 制御電機

$$\frac{1}{1}$$

-2-

7
さ約100nmのMo/AIソースバスライン34を形成する(図6参照)。次いで、全面にa-Si層及びSi₃N₄層を堆積して成膜した後、これらSi₃N₄層及びa-Si層を所定の形状にパターンニングして導子分離を行なう。ITOソース配線層32とITO副画素電極38aとに接合されたa-Si活性層18及びこのa-Si活性層18上のSi₃N₄層を形成する(図7参照)。

10
【0024】次いで、全面に、厚さ約250nmのSi₃N₄層を堆積して成膜した後、厚さ約600nmのCr/AI層を堆積する。従って、このCr/AI層を所定の形状にパターンニングして、Cr/AIゲート電極24及びこのCr/AIゲート電極24に接続するCr/AIゲートバスライン26を形成する。こうして、スタガー型TFT28を形成する(図8参照)。

【0025】そして図示しないが、これ以降は、通常のアクティブマトリクス液晶表示装置の製造工程と同様に、図1及び図2に示す画素電極38a及びITO副画素電極38bを形成することにより、図1及び図2に示す画素電極38a及びITO副画素電極38bとに接合された1ドット110μm×330μmのセルが配置されたアクティブマトリクス液晶表示装置を完成する。

【0026】このように本実施例によれば、Cr制御容量用電極14とITO副画素電極38a、38bとの間に、ITO副画素電極38bにそれぞれ制御容量C1、C2を形成し、ITO副画素電極38bのドレイン38bに直接に接続し、ITO副画素電極38bは制御容量C=C1・C2/(C1+C2)を介して接続することにより、ITO副画素電極38a、38bに異なる電圧が印加されるため、これらITO副画素電極38a、38bを合成した画素電極38の電圧表示における視角依存性を改善し、より高い画質の表示を得ることができる。

【0027】例えばノーマリーブラックの場合、ITO副画素電極38aの透過率が約90%まで立ち上ったとき、ITO副画素電極38bの透過率が約10%となり、これらの合成により中間調における視角依存性が緩和され、良好な表示を得ることができる。また、制御容量C1、C2を形成するCr制御容量用電極14とITO副画素電極38a、38bとの重なりは、ITO副画素電極38a、38bの周辺部に限定されており、この部分以外にもブラックマトリクスの合わせめーゼンにより光を透過しない部分であるから、開口率を損なうことはない。

【0028】逆に、このCr制御容量用電極14がCr層からなることにより、遮光効果も期待できるため、対向基板側のブラックマトリクスが薄体化することを防止することができる。また、このCr制御容量用電極14はCr遮光膜層12と同一工程において同一マスクを用いて同時に形成するため、制御容量を形成するために工

30
程数、マスク数を増やす必要がないというプロセス上の

利点も有している。
【0029】次に、本発明の第2の実施例によるスタガー型TFTをもつアクティブマトリクス液晶表示装置を、図9の断面図を用いて説明する。なお、上記図2のアクティブマトリクス液晶表示装置と同一の構成要素には同一の符号を付して説明を省略する。透明絶縁性基板10上にCr遮光膜層12が形成され、このCr遮光膜層12上には、Si₃N₄絶縁膜16を介してa-Si活性層18が形成され、このa-Si活性層18上には、Si₃N₄絶縁膜20及びSi₃N₄絶縁膜22を介して、Cr/AI層を堆積する。従って、このCr/AI層を所定の形状にパターンニングして、Cr/AIゲート電極24及びこのCr/AIゲート電極24に接続するCr/AIゲートバスライン26が形成され、スタガー型TFT28を形成する。

【0030】また、Si₃N₄絶縁膜16とSi₃N₄絶縁膜22との間に、TFT28のソースに接続してITOソース配線層32及びMo/AIソースバスライン34が形成されていると共に、TFT28のドレインに接続するITO副画素電極38aと、このITO副画素電極38aと4μm幅の隙間を開けて分離されたITO副画素電極38bとが形成され、画素電極38を構成している。

【0031】そしてSi₃N₄絶縁膜22上には、Cr/AI層からなるCr/AI制御容量用電極40が形成され、Si₃N₄絶縁膜22を介して、ITO副画素電極38a、38bの隣接する周辺部の3μm幅、38bの隣の4μm幅の隙間と重なっている点に本実施例の特徴がある。

【0032】更に、図示しないが、Si₃N₄絶縁膜22、Cr/AIゲート電極24及びCr/AI制御容量用電極40上には、液晶を介して、透明絶縁性基板10に相対する透明絶縁性対向基板が設けられており、この透明絶縁性対向基板上の液晶層には、画素電極38aと、ITO副画素電極38aとITO副画素電極38bとに形成された1ドット110μm×330μmのセルが配置されたアクティブマトリクス液晶表示装置が構成されている。

【0033】次に、図9に示すアクティブマトリクス液晶表示装置の製造方法を説明する。この製造工程は、上記図4～図7に示す第1の実施例の場合とはほぼ同一であるが、図4の工程において、Cr層をパターンニングして、図4の工程において、Cr/AI層を形成する代わりに、図8の工程において、Cr/AI層をパターンニングして、Cr/AIゲート電極24及びCr/AIゲートバスライン26を形成すると同時に、Cr/AI制御容量用電極40を形成する点が異なる。

【0034】このように本実施例によれば、上記第1の実施例がCr制御容量用電極14をITO副画素電極3

画素電極38を構成している。
【0040】そしてA1/Ti制御容量用電極46が、Si₃N₄ゲート絶縁膜22を介して、ITO副画素電極38a、38bの隣接する周辺部の3μm幅、その他の周辺部の4μm幅、ITO副画素電極38a、38b間の4μm幅の隙間と重なっている点に本実施例の特徴がある。更に、図示しないが、Ti/A1ソース電極48、このTi/A1ソース電極48に接続するTi/A1ソースバスライン54、Ti/A1ドレイン電極50、画素電極38及びSi₃N₄ゲート絶縁膜22上には、液晶を介して、透明絶縁性基板10に相対する透明絶縁性対向基板が設けられており、この透明絶縁性対向基板上の液晶層には、画素電極38に相対する対向電極が設けられている。

【0041】こうして、画素電極38がITO副画素電極38aとITO副画素電極38bとに分割された1ドット110μm×330μmのセルが配置されたアクティブマトリクス液晶表示装置が構成されている。このように本実施例によれば、間にSi₃N₄ゲート絶縁膜22を挟んだITO副画素電極38a、38bとA1/Ti制御容量用電極46との重なり部分に制御容量C1、C2を生じる構成は、上記第1の実施例におけるCr制御容量用電極14がA1/Ti制御容量用電極46に、Si₃N₄ゲート絶縁膜16がSi₃N₄ゲート絶縁膜22にそれぞれ置き換わったものである。

【0042】従って、上記第1の実施例の場合と同様に、ITO副画素電極38a、38bに異なる電圧を印加し、これらを合成した画素電極38の電圧表示における視角依存性を改善し、より高い画質の表示を得ることができる。また、開口率を損なわないことや、A1/Ti制御容量用電極46が遮光効果を発揮することと同様である。

【0043】更に、このA1/Ti制御容量用電極46はA1/Tiゲート電極42と同一工程において同一マスクを用いて同時に形成されるため、工程数、マスク数を増やす必要がないというプロセス上の利点を有していることも共通する。

【0044】

【発明の効果】以上のように本発明によれば、複数の副画素電極の周辺部と金箔膜層からなる制御容量用電極とが絶縁膜を介して重なって制御容量を形成していることにより、開口率を損なうことはなく、各副画素電極間の遮光効果を高めることができる。また、制御容量用電極は遮光膜層又はゲート電極と同一工程において同時に形成することができるため、工程数を増加させることなく制御容量を付加することができる。

【0045】従って、開口率を減少させることなく容易に制御容量を付加することができるため、電圧表示における視角依存性を改善し、より高い画質の表示を得るこ

11

とができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるアクティブマトリクス液晶表示装置を示す平面図である。

【図2】図1のアクティブマトリクス液晶表示装置のA-A' 線断面図である。

【図3】図1のアクティブマトリクス液晶表示装置の制御容量を示す等価回路図である。

【図4】図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図（その1）である。

【図5】図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図（その2）である。

【図6】図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図（その3）である。

【図7】図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図（その4）である。

【図8】図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図（その5）である。

【図9】本発明の第2の実施例によるアクティブマトリクス液晶表示装置を示す断面図である。

【図10】本発明の第3の実施例によるアクティブマトリクス液晶表示装置を示す平面図及び断面図である。

【図11】従来のアクティブマトリクス液晶表示装置の面基板を示す模式図である。

【符号の説明】

10…透明絶縁性基板

12

12…Cr遮光膜層

14…Cr制御容量用電極

16…SiN絶縁膜

18…a-Si活性層

20…SiNチャネル保護膜

22…SiNゲート絶縁膜

24…Cr/Alゲート電極

26…Cr/Alゲートバスライン

28…TFT

30…ソース

32…ITOソース配線層

34…Mo/Alソースバスライン

36…ドレイン

38a、38b…ITO側面素電極

38…画素電極

40…Cr/Al制御容量用電極

42…Al/Tiゲート電極

44…Al/Tiゲートバスライン

46…Al/Ti制御容量用電極

48…Ti/Alソース電極

50…Ti/Alドレイン電極

52…TFT

54…Ti/Alソースバスライン

60…ソース

62…ドレイン

64…ゲート

66…TFT

68a、68b、68c、68d…ITO制御容量用電極

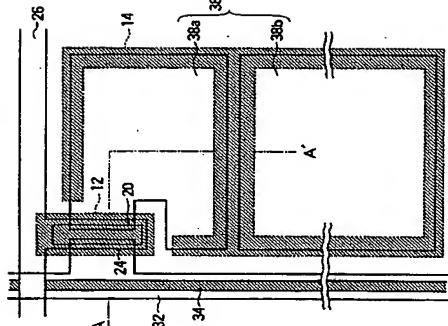
30

70…絶縁膜

72a、72b、72c、72d…ITO側面素電極

【図1】

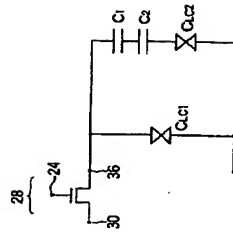
本発明の第1の実施例によるアクティブマトリクス液晶表示装置を示す図



12…Cr遮光膜層
14…Cr制御容量用電極
16…a-Si活性層
20…SiNチャネル保護膜
22…SiNゲート絶縁膜
24…Cr/Alゲート電極
26…Cr/Alゲートバスライン
28…TFT
30…ソース
32…ITOソース配線層
34…Mo/Alソースバスライン
36…ドレイン
38a、38b…ITO側面素電極
38…画素電極
40…Cr/Al制御容量用電極
42…Al/Tiゲート電極
44…Al/Tiゲートバスライン
46…Al/Ti制御容量用電極
48…Ti/Alソース電極
50…Ti/Alドレイン電極
52…TFT
54…Ti/Alソースバスライン
60…ソース
62…ドレイン
64…ゲート
66…TFT
68a、68b、68c、68d…ITO制御容量用電極

【図3】

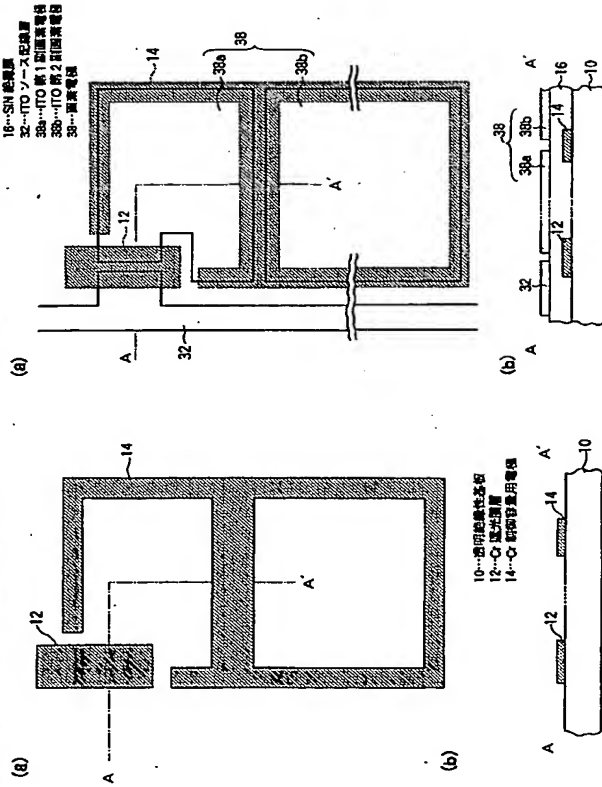
図1に示すアクティブマトリクス液晶表示装置の制御容量を示す等価回路図



28…TFT
30…ソース
36…ドレイン

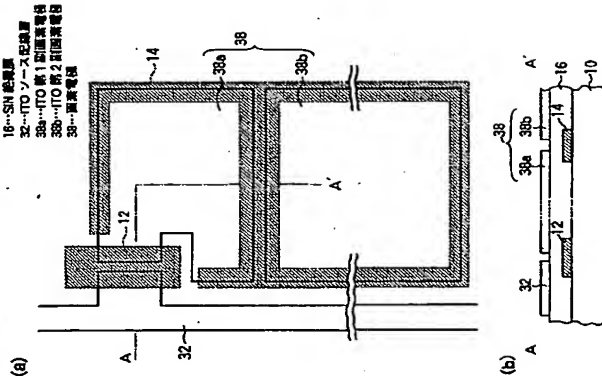
【図4】

図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図(その1)



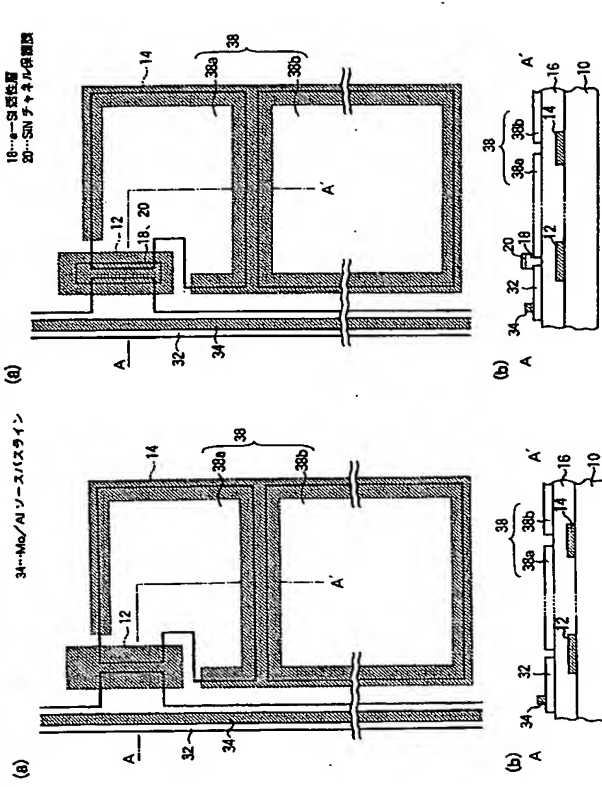
【図5】

図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図(その2)



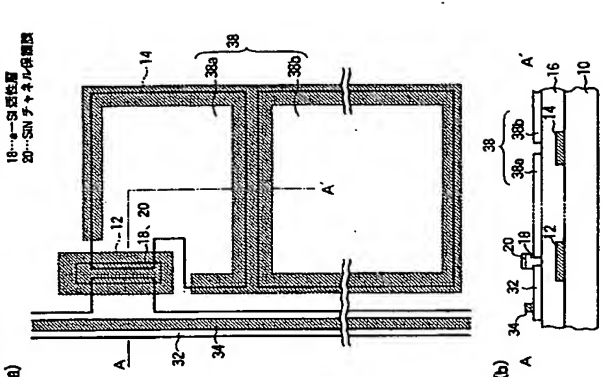
【図6】

図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図(その3)



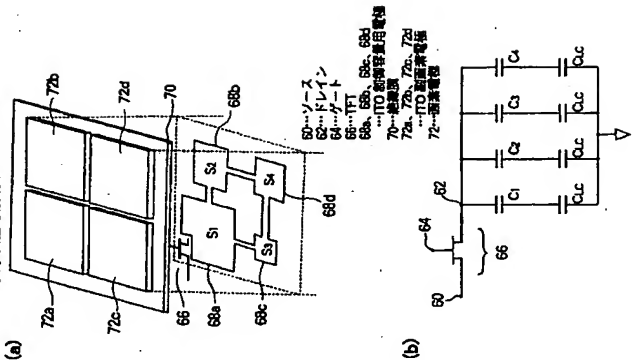
【図7】

図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図(その4)



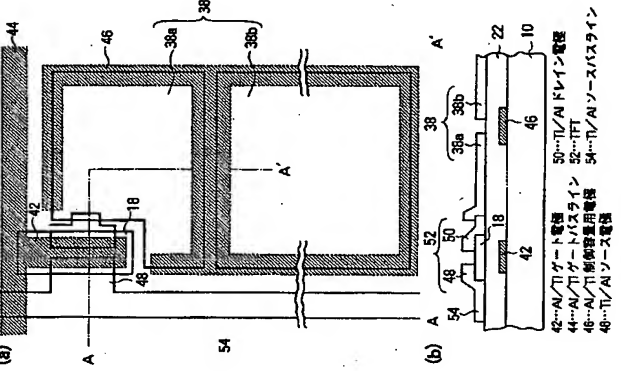
【図11】

従来のアクティブマトリクス液晶表示装置を説明するための図



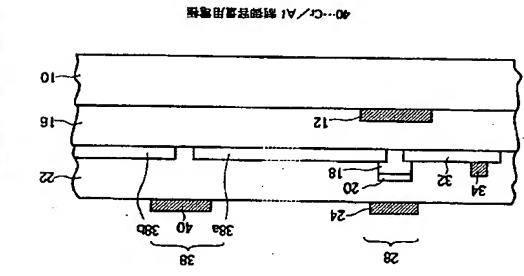
【図10】

本発明の第3の実施例によるアクティブマトリクス液晶表示装置を示す平面図及び断面図



【図9】

本発明の第2の実施例によるアクティブマトリクス液晶表示装置を示す断面図



【図8】

図1及び図2に示すアクティブマトリクス液晶表示装置の製造方法を説明するための工程平面図及び工程断面図(その5)

